

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 63-52463 (A) (43) 5.3.1988 (19) JP

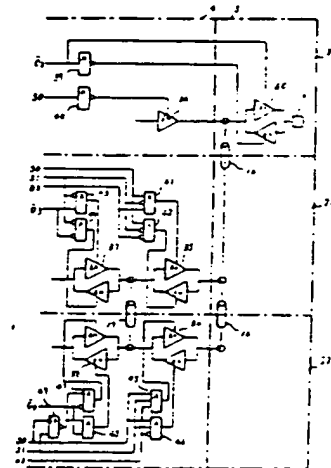
(21) Appl. No. 61-195433 (22) 22.8.1986

(71) HITACHI LTD (72) HIDEKAZU MINAMI

(51) Int. Cl. H01L27/00; H01L21/66; H01L25/08

**PURPOSE:** To improve diagnosing data forming efficiency by providing means for cutting a logic signal between chip layers with respect to a circuit, and means for connecting chips via a diagnosing through hole, and selecting at least one of a plurality of laminating chips to diagnose it.

**CONSTITUTION:** At a normal operation time, signals  $S_0$ ,  $S_1$  are both "0", a dry state gate 34 is a connected state, bidirectional dry state gates 37, 38 are connectible state, and bidirectional dry state gates 35, 36 are disconnected state. Accordingly, logic units 4 of all chip layers become operative. A signal fed via the gates 37, 38 and a logic through hole 17 between chips is fed from a third chip layer 22 to a second chip layer 21 when an  $O_3$  signal is "0", and fed from the layer 21 to the layer 22 when the  $O_3$  signal is "1". The logic unit 4 of a first chip layer 20 is selected when  $S_0$  is "0" and  $S_1$  is "1", of the layer 21 is selected when  $S_0$  is "1" and  $S_1$  is "0", and of the layer 22 is selected when both  $S_0$  and  $S_1$  are both "1", and the layer is diagnosed via the diagnosing through hole 15 between the chips.



## ⑫ 公開特許公報(A)

昭63-52463

⑪ Int. Cl.

H 01 L 27/00  
21/66  
25/08

識別記号

3 0 1

庁内整理番号

B-8122-5F  
7168-5F  
B-7638-5F

⑬ 公開 昭和63年(1988)3月5日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭61-195433

⑯ 出 願 昭61(1986)8月22日

⑰ 発 明 者 南

英 一

神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑱ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男

外1名

## 明 細 書

## 1 発明の名称

半導体集積回路

## 2 特許請求の範囲

LSIチップを絶縁物を介して複数個積層した3次元実装の半導体集積回路において、所定の論理機能を果たす各層における論理部と、該論理部と外部回路とを接続する入出力部と、積層されたチップの論理部同士を接続するチップ間論理用スルーホールと、チップ間論理用スルーホールとは別に診断用としてチップ間に設けた診断用スルーホールと、前記チップ間論理用スルーホール及びチップ間診断用スルーホールを回路的に接続、切断する手段とからなり、該手段は集積回路の通常動作時には前記チップ間論理用スルーホールを接続状態、前記チップ間診断用スルーホールを切断状態とし、診断時にはチップ間論理用スルーホールを切断状態、前記チップ間診断用スルーホールを接続状態とするよう制御し、積層された複数個のチップのうち、少なくとも1つを選択して診断

できるようにしたことを特徴とする半導体集積回路。

## 3 発明の詳細な説明

(産業上の利用分野)

本発明は、LSIチップを複数個3次元に積層した半導体集積回路に関する。

(従来の技術)

半導体集積回路はゲート規模の増大の一途を辿っており、最近では1チップが数万ゲート〜十萬ゲートのものもできている。半導体集積回路のゲート規模を増大させるために採られた手段には次のようなものがある。

(1) 回路素子を含めた配線の微細化

(2) 半導体基板の大形化

(3) ハイブリッド実装

これらは、いずれも2次元の範囲内でのゲート規模の増大をねらったものである。

ところで、今後ゲート規模を飛躍的に拡大するには、チップの3次元積層が必須であり、現に3層の三次元回路の試作例が公知(コンピュータデ



3(2)

作収て

3. 元半  
 4. 個のチ  
 5. 診断てき

を介して  
ーホール  
は使役され  
つを選択  
つ機能を構  
造用スル  
ーホール  
たテップ間  
らびに切替

1. 的化简说.

置されたり溜  
、即ちこれら  
線11と直交す  
る交し第1層位  
なる。第1層位  
も有する。第1  
層内第1種スル  
線12と第3層位  
〜15で接続す

平面図成図である  
述べたものと同  
刀部5の構成要  
入出力ゲート8  
ない。全てのチ  
図示していない

入出力部5にかけ  
いる。入出力ゲー  
はチップ間接続用

スルーホール16を介して他のチップ層2の診断用パッド9と接続する。

第 5 図は本発明の集積回路の論理部 4 における  
 チャップ間力つながりを示している。ゲート 10 と接  
 続するパッド 18 はチャップ間論理用スルーホール 17  
 を介して他のチャップ層 2 のパッド 13 と接続する。

本発明の半導体集積回路の運用例では、各チップ層2で共通に使用される信号（以下チップ共通信号という）がある。チップ層共通信号には、スキャン系信号（スキャンモード信号、スキャンアドレス信号、スキャンクロック信号、スキャンデータ信号）、システムリセット信号、システムクロック信号、チップ層選択信号がある。

第6週はスキャンデータ信号を除くチップ層共用信号の経路を示す接続図である。第1チップ層20においては信号用ボンディングパッド6が入力ゲート19の入力端子に接続する。入力ゲート19の出力端子はチップ間診断用スルーホール16を介して第2チップ層21及び第3チップ層22における論理図4内ゲート23、24、25の入力端子と接続

切断又は接続する１つの回路構成例である。同一符号のものは、これまでに述べたものと同一の素子等を示す。同図に於いて、第３タップ層２２のトライステートゲート２７は出力端子が該層の他のトライステートゲート６４の入力端子へ、またタップ間診断用スルーホール１７を介して第２タップ層２１のトライステートゲート２６の入力端子へ、さらに第２タップ層２１の他のトライステートゲート６３の出力端子へそれぞれ接続する。また、第３タップ層２２のトライステートゲート６４の出力端子は、タップ間診断用スルーホール１６を介して第２タップ層２１のトライステートゲート６３の入力端子へ、さらに別のタップ間診断用スルーホール１６を介して第１タップ層２０のトライステートゲート６２の出力端子並びに入出力双方向トライステートゲート６５の論理部側端子と接続する。入出力双方向トライステートゲート６５の他の端子はボンディングパッド６と接続する。入出力双方向トライステートゲート６５で出力トライステートゲートのイネーブル端子に出力制御信号０１と接続し、入力トライ

する。

次にタップ層共用信号のうち、タップ層選択信号について説明する。このタップ層選択信号には S0 と S1 の 2 本がある。S0 と S1 の値を変えることにより、第 7 図に示すように 4 つの状態を作る。つまり S0, S1 がともに "0" のとき該乗換回路は通常動作状態である。また S0 が "0"、S1 が "1" のとき第 1 タップ層 20 が診断状態、S0 が "1"、S1 が "0" のとき第 2 タップ層 21 が診断状態、そして S0, S1 がともに "1" のとき第 3 タップ層 22 が診断状態となるものである。そこで、通常動作状態ではタップ間論理用スルーホール 17 は回路的に接続状態とし、タップ間診断用スルーホール 16 は回路的に切断状態とする。診断状態ではタップ間論理用スルーホール 17 は回路的に切断状態、タップ間診断用スルーホール 16 は回路的に接続状態とし、所望のタップ層を選択して診断できる。

以下、通常動作状態とチップ層診断状態について、第8図～第10図により述べる。

第 8 図は、チップ層間スルーホールを回路的に

スタートゲートのイネーブル端子は出力制御信号 $\phi_1$ を反転するインバートゲート28の出力端子と接続する。トライステートゲート62のイネーブル端子はチップ層選択信号 $\phi_0$ を反転するインバートゲート29の出力端子と接続する。トライステートゲート63のイネーブル端子は論理積ゲート30の出力端子と接続する。論理積ゲート30の入力端子はチップ層選択信号 $\phi_0$ ,  $\phi_1$ の否定信号と接続する。トライステートゲート26のイネーブル端子はチップ層選択信号 $\phi_1$ を反転するインバートゲート31の出力端子と接続する。トライステートゲート64のイネーブル端子は論理積ゲート32の出力端子と接続する。論理積ゲート32の入力端子はチップ層選択信号 $\phi_0$ ,  $\phi_1$ と接続する。トライステートゲート27のイネーブル端子は排他的論理和ゲート33の否定出力端子と接続する。排他的論理和ゲート33の入力端子はチップ層選択信号 $\phi_0$ ,  $\phi_1$ と接続する。

以上のような構成であるので、タップ層選択信号80, 91を次のように選ぶことにより各タップ層間を回路的に切断又は導通することができらる。

即ち、通常動作時は $S_0$ 、 $S_1$ がともに“0”であり、トライステートゲート62、26、27が接続状態、トライステートゲート63、64が切断状態となる。したがって、各層の論理部4全てが動作状態となる。

第1チップ層20の診断時は、 $S_0$ が“0”、 $S_1$ が“1”であり、トライステートゲート62が接続状態、トライステートゲート63、64、26、27が切断状態となる。つまり第1チップ層20のみ導通が確保でき、該層20の診断ができる。

第2チップ層21の診断時は、 $S_0$ が“1”、 $S_1$ が“0”であり、トライステートゲート63、26が接続状態、トライステートゲート62、64、27が切断状態となるので、第2チップ層21のみの導通が確保でき、該層21の診断ができる。

第3チップ層22の診断時は、 $S_0$ 、 $S_1$ がともに“1”であり、トライステートゲート64、27が接続状態、トライステートゲート62、63、26が切断状態となるので、該層22の診断ができる。

図9図は本発明のチップ間スルーホールを回路

的に切断または接続する他の回路構成例である。

第2チップ層21の双方向トライステートゲート37の出力端子は、同チップ層21の他の双方向トライステートゲート35の入力端子、チップ間論理用スルーホール17を介して第3チップ層22の双方向トライステートゲート38の出力端子、および同チップ層22の他の双方向トライステートゲート36の入力端子と接続する。第2チップ層21の双方向トライステートゲート35の出力端子は、チップ間診断用スルーホール16を介して第3チップ層22の双方向トライステートゲート36の出力端子、また別のチップ間診断用スルーホール16を介して第1チップ層20のトライステートゲート34の出力端子、同チップ層20の入出力部双方向トライステートゲート60の入力端子と接続する。入出力部双方向トライステートゲート60の出力端子はボンディングパッド6と接続する。入出力双方向トライステートゲート60で出力トライステートゲートのイネーブル端子は出力制御信号02と接続し、入力トライステートゲートのイネー

ブル端子は出力制御信号02を反転するインバートゲート37の出力端子と接続する。双方向トライステートゲート37の出力トライステートゲートのイネーブル端子は論理積ゲート43の出力端子と接続し、入力トライステートゲートのイネーブル端子は論理積ゲート44の出力端子と接続する。双方向トライステートゲート35の出力トライステートゲートのイネーブル端子は論理積ゲート41の出力端子と接続し、入力トライステートゲートのイネーブル端子は論理積ゲート42の出力端子と接続する。双方向トライステートゲート38の出力トライステートゲートのイネーブル端子は論理積ゲート47の出力端子と接続し、入力トライステートゲートのイネーブル端子は論理積ゲート48の出力端子と接続する。双方向トライステートゲート36の出力トライステートゲートのイネーブル端子は論理積ゲート45の出力端子と接続し、入力トライステートゲートのイネーブル端子は論理積ゲート46の出力端子と接続する。トライステートゲート34のイネーブル端子はチップ層選択信号 $S_0$ を反転するイ

ンバートゲート40の出力端子と接続する。論理積ゲート43の入力端子は $S_1$ の否定信号、出力制御信号03と接続する。論理積ゲート44の入力端子は $S_1$ の否定信号、03の否定信号と接続する。論理積ゲート41の入力端子は $S_0$ 信号、 $S_1$ の否定信号、出力制御信号02の否定信号と接続する。論理積ゲート42の入力端子は $S_0$ 信号、 $S_1$ の否定信号、02の否定信号と接続する。論理積ゲート47の入力端子は排他的論理和ゲート49の否定出力端子、03の否定信号と接続する。論理積ゲート48の入力端子は排他的論理和ゲート49の否定出力端子、03信号と接続する。排他的論理和ゲート49の入力端子は $S_0$ 信号、 $S_1$ 信号と接続する。論理積ゲート45の入力端子は $S_0$ 信号、 $S_1$ 信号、02信号と接続する。論理積ゲート46の入力端子は $S_0$ 信号、 $S_1$ 信号、02の否定信号と接続する。

以上のような構成であるので、チップ層選択信号 $S_0$ 、 $S_1$ により以下の通りチップ層間を回路的に切断または接続することができる。

通常動作時は信号 $S_0$ 、 $S_1$ がともに“0”であ

の  
接  
層  
積  
接  
信  
の入  
接  
81の  
積  
信号  
信号、  
以上  
号 $S_0$   
に切断  
通常  
が“0”  
が接続  
52が切  
ト50は

る。  
ポート  
方向  
アップ間  
層22  
端子、  
テート  
アップ層  
力端子  
して第  
ト36の  
ルーホー  
テートゲ  
力部双方  
と接続す  
ト62の出  
する。入  
力トライ  
制御信号  
のイネー

り、トライステートゲート34が接続状態、双方向  
トライステートゲート37, 38が接続可能状態、双  
方向トライステートゲート35, 36が切断状態とな  
る。したがって、全てのアップ層の論理部4が動  
作状態となる。双方向トライステートゲート37,  
38, アップ間論理用スルーホール17を介する信号  
は03信号が"0"のときは第3アップ層22から第  
2アップ層21へ流れ、03信号が"1"のときは第  
2アップ層21から第3アップ層22へ流れる。

80が"0"で、81が"1"のとき第1アップ層  
20, 80が"1"で、81が"0"のとき第2アップ  
層21, 80, 81がともに"1"のとき第3アップ層  
22の各論理部4が選択され、アップ間診断用ス  
ルーホール16を介して層別の診断ができる。

図10は本発明のアップ間スルーホールを回路  
的に切断または接続する他の回路構成例であり、  
特にデータバス信号に関するものである。

第1アップ層20の双方向トライステートゲート  
50の出力端子は同アップ層20の入出力部双方向  
トライステートゲート61の入力端子、第2アップ

層21の双方向トライステートゲート51の出力端  
子、第3アップ層22の双方向トライステートゲ  
ート52の出力端子と接続する。アップ層間にア  
ップ間診断用スルーホール16で接続する。入出力  
部双方向トライステートゲート61の出力端子は  
ボンディングパッド6と接続する。入出力双方向  
トライステートゲート61で出力トライステートゲ  
ートのイネーブル端子は出力制御信号04と接続し  
入力トライステートゲートのイネーブル端子は出  
力制御信号04を反転するインバートゲート53の出  
力端子と接続する。双方向トライステートゲート  
50で出力トライステートゲートのイネーブル端子  
は論理ゲート54の出力端子と接続し、入力トラ  
イステートゲートのイネーブル端子は論理ゲート  
55の出力端子と接続する。双方向トライステ  
ートゲート51で出力トライステートゲートのイネ  
ーブル端子は論理ゲート56の出力端子と接続し、  
入力トライステートゲートのイネーブル端子は論  
理ゲート57の出力端子と接続する。双方向トラ  
イステートゲート52で出力トライステートゲート

ら。論理部  
出力制御信  
力端子は81  
。論理部  
信号、出力  
理ゲート  
ト、02の否定  
力端子は排  
03の否定信  
力端子は排他  
13信号と接続  
端子は80信号  
の入力端子は  
。論理部ゲ  
02の否定信  
アップ層選択信  
層間を回路  
る。  
に"0"であ

のイネーブル端子は論理ゲート58の出力端子と  
接続し、入力トライステートゲートのイネーブル  
端子は論理ゲート59の出力端子と接続する。論理  
ゲート54の入力端子は80の否定信号、04信号と  
接続する。論理ゲート55の入力端子は80の否定  
信号、04の否定信号と接続する。論理ゲート56  
の入力端子は80信号、81の否定信号、04信号と  
接続する。論理ゲート57の入力端子は80信号、  
81の否定信号、04の否定信号と接続する。論理  
ゲート58の入力端子は80信号、81信号、04  
信号と接続する。論理ゲート59の入力端子は80  
信号、81信号、04の否定信号と接続する。

以上のような構成であるので、アップ層選択信  
号80, 81により以下の通りアップ層間を回路  
的に切断または接続することができる。

通常動作時および第1アップ層診断時は信号80  
が"0"であり、双方向トライステートゲート50  
が接続可能状態、双方向トライステートゲート51,  
52が切断状態となる。双方向トライステートゲ  
ート50は04信号が"0"のときデータをLSIの外

から取り込み、04信号が"1"のときデータをLSI  
の外へ取り出す。

80が"1"で、81が"0"のとき第2アップ層  
21, 80, 81がともに"1"のとき第3アップ層22  
の論理部が選択され、アップ間診断用スルーホ  
ール16を介して層別の診断ができる。

なお、第1図はアップ層が3個の場合を示した  
が、2個以上であれば本発明の本質は変わらない。  
また、第7図はアップ層選択信号が2つ(80,  
81)の場合を示したが、積層するアップ層の数に  
合わせて増してもよい。さらに、通常動作と診断  
動作の切り換え、およびアップ層の選択は2つの  
アップ層選択信号(80, 81)で兼ねたが、通常  
動作と診断動作の切り換え用の信号を別に1つ設  
け、前記アップ層選択信号はアップ層の選択のみ  
に使用するようにしてもよい。

また、アップ間診断用スルーホール16および診  
断用パッド9は入出力部5に示したが、論理部4  
に設けてもよい。

また、本発明の実施例では、一つのアップ層2

単位に診断する場合を示したが、複数のチップ層2単位に診断するようにしてもよい。

(発明の効果)

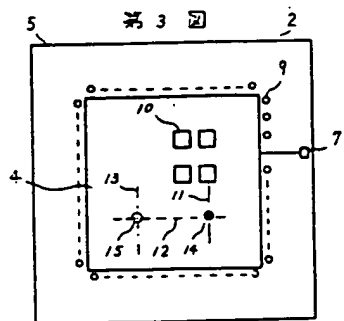
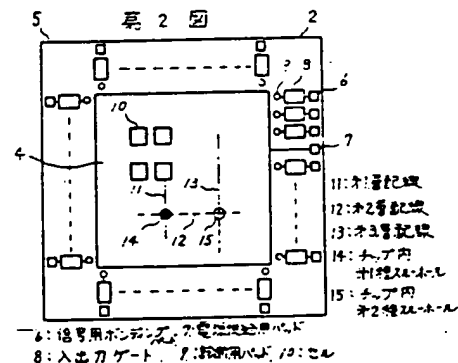
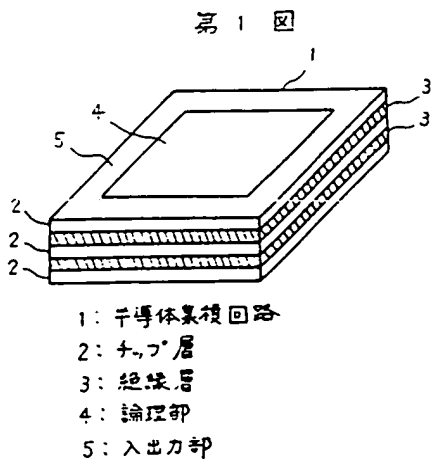
以上述べたように、本発明は、半導体集積回路チップを複数個の次元実装した半導体集積回路において、チップ層間の論理信号を回路的に切断する手段、およびチップ間診断用スルーホールを介して接続する手段を設けたので誤植された複数個のチップのうち少なくとも1つを選択して診断できる。このため次のような効果が期待できる。

- (a) 集積回路のピンが診断時に増えたのと等価な効果が得られる。
- (b) 診断データの作成効率が向上する。少ないステップ数で診断率を上げることができる。
- (c) 診断データ作成プログラムの処理可能なゲート規模を超えた集積回路であっても、積層された個々のチップのゲート規模が診断データ作成プログラムの処理可能な範囲であれば診断データを作成することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例である半導体集積回路の断面斜視図、第2図および第3図は第1図に示すチップ層の平面構成図、第4図は第1図に示す入出力部の部分拡大斜視図、第5図は第1図に示す論理部の部分拡大斜視図、第6図は第1図の入出力部の1部を示す回路図、第7図はチップ層選択信号を説明する図、第8図乃至第10図は論理部、入出力部の構成例を示す回路図である。

- 1…半導体集積回路
- 2…チップ層
- 4…論理部
- 5…入出力部
- 6, 7…ボンディングパッド
- 8…入出力ゲート
- 16…チップ間論理用スルーホール
- 17…チップ間診断用スルーホール。



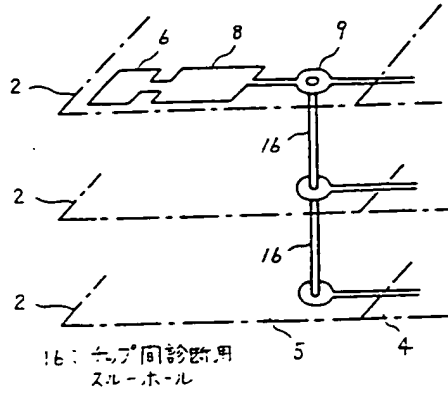


3(6)

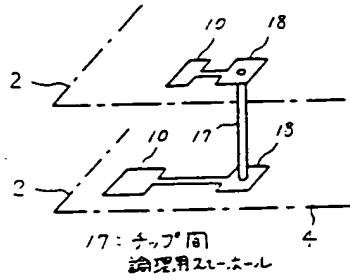
集積回

11図に  
図に示  
第1図に  
第1図の  
チップ層  
1図は論理  
る。  
層  
1図

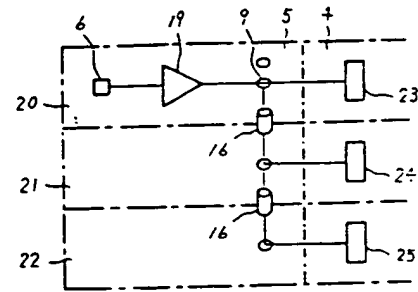
第4図



第5図



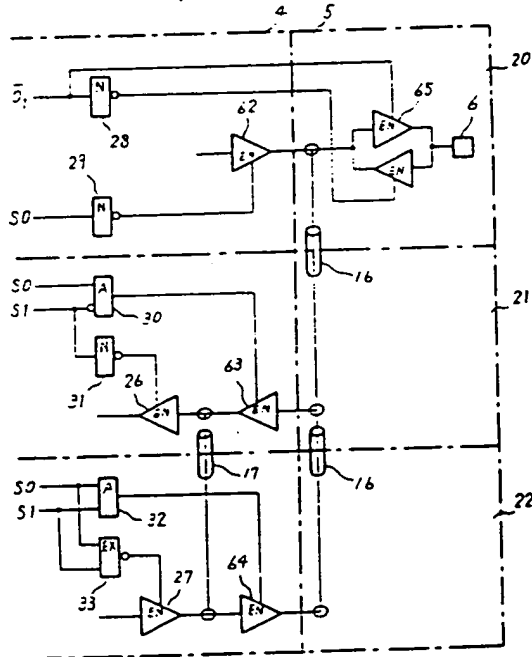
第6図



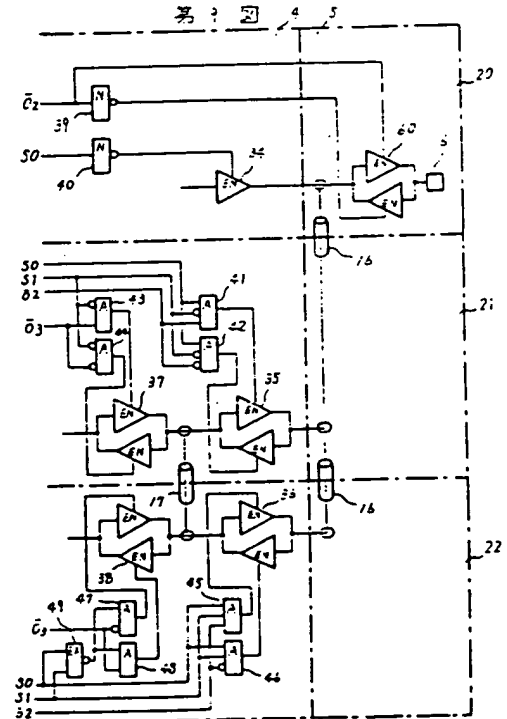
第7図

S0	S1	状態
0	0	通常動作状態
0	1	第1チップ層診断状態
1	0	第2チップ層診断状態
1	1	第3チップ層診断状態

第8図



第9図



11: 第1層  
12: 第2層  
13: 第3層  
14: チップ  
15: チップ  
16: チップ

17

18

19

